

09,890442

PCT/JP00/09139

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JP00/9139

22.12.00

EU

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年12月24日

REG'D 23 FEB 2001

WIPO

PCT

出 願 番 号
Application Number:

平成11年特許願第367209号

出 願 人
Applicant(s):

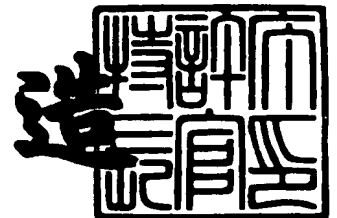
アンリツ株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3004755

【書類名】 特許願
 【整理番号】 101413
 【あて先】 特許庁長官殿
 【発明者】

【住所又は居所】 東京都港区南麻布五丁目 10 番 27 号 アンリツ株式会
 社内

【氏名】 望月 健

【発明者】

【住所又は居所】 東京都港区南麻布五丁目 10 番 27 号 アンリツ株式会
 社内

【氏名】 内野 政治

【特許出願人】

【識別番号】 000000572

【氏名又は名称】 アンリツ株式会社

【代表者】 中川 裕雄

【代理人】

【識別番号】 100079337

【弁理士】

【氏名又は名称】 早川 誠志

【電話番号】 03-3490-4516

【手数料の表示】

【予納台帳番号】 043443

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9712293

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 雑音発生装置およびジッタ・ワンダ発生装置

【特許請求の範囲】

【請求項 1】

デジタルの白色性の雑音信号を発生する白色雑音発生手段と、

デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数

の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、

前記フィルタ部から前記特性係数に対応した周波数特性の雑音信号が出力されている状態における前記デジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時に前記デジタルフィルタの各記憶素子に初期設定する初期設定手段とを備えた雑音発生装置。

【請求項 2】

デジタルの白色性の雑音信号を発生する白色雑音発生手段と、

デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器と、

前記乗算器に任意の振幅係数を設定する振幅設定手段と、

前記特性係数設定手段から前記フィルタ部に設定された特性係数および振幅設定手段の振幅係数とに基づいて、前記乗算器から出力される雑音信号の特性を求める特性算出手段と、

前記特性算出手段によって求められた雑音信号の特性を表示する特性表示手段とを備えた雑音発生装置。

【請求項 3】

ディジタルの白色性の雑音信号を発生する白色雑音発生手段と、

ディジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うディジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器と、

前記乗算器に任意の振幅係数を設定する振幅設定手段と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザと、

前記フィルタ部から前記特性係数に対応した周波数特性の雑音信号が出力されている状態における前記ディジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時に前記ディジタルフィルタの各記憶素子に初期設定する初期設定手段とを備えたジッタ・ワンダ発生装置。

【請求項 4】

ディジタルの白色性の雑音信号を発生する白色雑音発生手段と、

ディジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うディジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器と、

前記乗算器に任意の振幅係数を設定する振幅設定手段と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザと、

前記特性係数設定手段から設定された特性係数および振幅設定手段から設定さ

れた振幅係数に基づいて、前記乗算器から出力される雑音信号または前記周波数シンセサイザから出力されるクロック信号の特性を求める特性算出手段と、

前記特性算出手段によって求められた特性を表示する特性表示手段とを備えたジッタ・ワンダ発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、所望特性の雑音信号や位相揺らぎ信号を速やかに発生し、また、発生する信号の特性を事前に確認できるようにするための技術に関する。

【0002】

【従来の技術】

例えば、ディジタル信号を通信するシステムでは、ディジタル信号の位相の揺らぎ（ジッタやワンダ）による通信品質の低下が問題となる。

【0003】

このため、従来では、通信システムあるいはこのシステムを構成する機器のディジタル信号の位相揺らぎに対する耐力等を測定している。

【0004】

このような測定を実際の動作状態に近い状態で行うために、従来では、雑音発生装置から出力された雑音信号でクロック信号を位相変調し、このクロック信号に同期したディジタル信号を測定対象の通信システムや機器に入力して、通信システムや機器の符号誤り率等を測定していた。

【0005】

このような目的で使用される雑音発生装置として近年ではアナログ方式のものに代わってディジタル式のものが用いられている。

【0006】

ディジタル式の雑音発生装置として、従来では、予めメモリに記憶されている雑音信号の波形データを読み出して出力する構成のものや、複数段のシフトレジスタの所定段の出力の排他的論理和を初段に帰還することで擬似ランダム信号を発生する複数の擬似ランダム発生器の出力を合成して出力する構成のものがある。

た。

【0007】

ところが、メモリに記憶されている雑音信号の波形データを読み出して出力する構成のものでは、波形の最大周期がメモリの容量に依存し、出力できる雑音信号の低周波成分がメモリの容量で制限されてしまい、例えば、10Hz以下の位相揺らぎ（ワンド）を生成するためには膨大な容量のメモリが必要になってしま

う。

【0008】

また、複数の擬似ランダム信号発生器から出力される擬似ランダム信号を合成するものでは、各擬似ランダム信号発生器の段数を大きくすることで低い周波数成分の雑音信号を発生できるが、この構成のものでは振幅がガウス分布にしたがう白色雑音に近似した特性の雑音しか発生できず、所望の位相揺らぎ特性を与えることができない。

【0009】

これを解決するために、図10に示すように、雑音発生器11から出力される白色性の雑音信号をデジタルフィルタ12に入力し、このデジタルフィルタ12のフィルタ係数をフィルタ係数設定手段13によって可変制御して、任意の周波数特性の雑音信号をデジタルフィルタ12から出力させることが考えられる。

【0010】

なお、デジタルフィルタ12は、一般に、入力信号を内部の複数の記憶素子に順次シフトしながら記憶するとともに、各記憶素子の内容と各記憶素子に対応したフィルタ係数との積和演算を行い、その演算結果を順次出力する構成を有しており、フィルタ係数を可変することで、フィルタの周波数特性を可変できるようになっている。

【0011】

【発明が解決しようとする課題】

しかしながら、デジタルフィルタ12に任意の周波数特性をもたせるためには、設定できる周波数分解能を高くする必要があり、そのためには、フィルタの

次数を大きくする、即ち、ディジタルフィルタ内の記憶素子の数を多くしなければならない。

【0012】

ところが、このようにディジタルフィルタ内の記憶素子の数を多くした場合、動作初期時や特性の切り換え時に、所望特性の雑音信号が出力されるまでの時間が非常に長くなるという問題があった。

【0013】

例えば、動作初期時には、ディジタルフィルタ12内の各記憶素子の記憶値が0にリセットされており、雑音信号がこれらの記憶素子の数だけ入力されるまでの間、ディジタルフィルタ12からは所望特性と全く異なる特性の雑音信号が出力されることになり、前記のように内部の記憶素子の数が多いと、この待ち時間が非常に長くなってしまう。

【0014】

一方、このように出力する雑音信号の特性を任意に可変できるようにした場合、雑音発生装置から実際に出力される雑音信号や、この雑音発生装置を用いてジッタやワンドを発生する装置から実際に生成されるクロック信号の特性がどのような特性であるかを確認できないと不便である。

【0015】

これを解決するために、ディジタルフィルタ12から出力される雑音信号や、その雑音信号に基づいて生成されるクロック信号の特性を測定し、その測定結果を表示することも考えられるが、このように雑音信号やクロック信号を実際に測定する方法では、雑音発生装置やこれを用いたジッタ・ワンド発生装置の構成が複雑化するとともに、測定する特性の内容によっては測定が完了するまで非常に時間（数時間～数十日）がかかってしまい、実現が困難である。

【0016】

本発明は、このような問題を解決した雑音発生装置およびジッタ・ワンド発生装置を提供することを目的としている。

【0017】

【課題を解決するための手段】

前記目的を達成するために、本発明の請求項 1 の雑音発生装置は、
デジタルの白色性の雑音信号を発生する白色雑音発生手段と、
デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、
前記フィルタ部から前記特性係数に対応した周波数特性の雑音信号が出力されている状態における前記デジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時に前記デジタルフィルタの各記憶素子に初期設定する初期設定手段とを備えている。

【 0 0 1 8 】

また、本発明の請求項 2 の雑音発生装置は、
デジタルの白色性の雑音信号を発生する白色雑音発生手段と、
デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、
前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、
前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器と、

前記乗算器に任意の振幅係数を設定する振幅設定手段と、
前記特性係数設定手段から前記フィルタ部に設定された特性係数および振幅設定手段の振幅係数とに基づいて、前記乗算器から出力される雑音信号の特性を求める特性算出手段と、

前記特性算出手段によって求められた雑音信号の特性を表示する特性表示手段とを備えている。

【 0 0 1 9 】

また、本発明の請求項 3 のジッタ・ワンダ発生装置は、

ディジタルの白色性の雑音信号を発生する白色雑音発生手段と、

ディジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うディジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器と、

前記乗算器に任意の振幅係数を設定する振幅設定手段と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザと、

前記フィルタ部から前記特性係数に対応した周波数特性の雑音信号が出力されている状態における前記ディジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時に前記ディジタルフィルタの各記憶素子に初期設定する初期設定手段とを備えている。

【0020】

また、本発明の請求項4のジッタ・ワンダ発生装置は、

ディジタルの白色性の雑音信号を発生する白色雑音発生手段と、

ディジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うディジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器と、

前記乗算器に任意の振幅係数を設定する振幅設定手段と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザと、

前記特性係数設定手段から設定された特性係数および振幅設定手段から設定さ

れた振幅係数に基づいて、前記乗算器から出力される雑音信号または前記周波数シンセサイザから出力されるクロック信号の特性を求める特性算出手段と、

前記特性算出手段によって求められた特性を表示する特性表示手段とを備えている。

【0021】

【発明の実施の形態】

以下、図面に基づいて本発明の実施形態を説明する。

図1は、本発明を適用した雑音発生装置20の構成を示している。

【0022】

雑音発生装置20の白色雑音発生手段21は、デジタルの白色性の雑音信号 $n(k)$ を所定レートで出力する。この白色雑音発生手段21は、例えば図2に示すように、複数 N （例えば $N=12$ ）の擬似ランダム信号発生器22(1)～22(N)からクロック信号 CK_n に同期してシリアル出力される各 K ビットのランダム信号を加算回路24で加算して $K + \lceil \log_2 N \rceil$ ビットとした白色雑音信号 $n(k)$ を出力する。ここで、上記の括弧記号 $\lceil \quad \rceil$ は、小数を切り上げた整数値を表す。

【0023】

これら複数 N の擬似ランダム信号発生器22(1)～22(N)は、同一の S 段シフトレジスタから生成される符号周期 $(2^S - 1)$ の擬似ランダム信号を発生するものであるが、その出力の相関ピークが離間するように、制御回路23によって出力符号の位相が大きく異なるように初期設定され、 $n(1)$ 、 $n(2)$ 、…、 $n(2^S - 2)$ 、 $n(2^S - 1)$ までの雑音信号を1周期として、これを繰り返し出力する。

【0024】

このように、複数の擬似ランダム信号を加算して生成される白色雑音信号の瞬時値はガウス分布特性に近似する。

【0025】

制御回路23は、後述の初期設定手段31からの雑音信号出力指示を受けて、擬似ランダム信号発生器22(1)～22(N)を初期化してクロック信号 CK

n を出力する。

【0026】

白色雑音発生手段 21 から出力された雑音信号 $n(k)$ は、フィルタ部 25 に入力される。フィルタ部 25 は、デジタル信号列を内部の複数の記憶素子に順次シフトしながら記憶し、その複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有しており、白色雑音発生手段 21 から出力された雑音信号 $n(k)$ を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力する。

【0027】

ここで、例えばフィルタ部 25 が、図 3 に示すような FIR 型のデジタルフィルタ 26 によって構成されている場合について説明する。

【0028】

このデジタルフィルタ 26 は、入力データを順次後段へシフトしながら記憶する複数 M 段直列の記憶素子（遅延素子ともいう）27(1)～27(M)と、初段の記憶素子 27(1)の入力データおよび各記憶素子 27(1)～27(M)の出力データに対してフィルタ係数（この実施形態の特性係数） $h_0 \sim h_M$ をそれぞれ乗算する乗算器 28(1)～28($M+1$)と、乗算器 28(1)～28($M+1$)の出力の総和を求める加算器 29とによって構成されている。

【0029】

各記憶素子 27(1)～27(M)は雑音信号 $n(k)$ をそのクロック信号 C_{Kn} に同期して順次シフトさせる。また、各記憶素子 27(1)～27(M)は、後述の初期設定手段 31 から任意の値 $D(1) \sim D(M)$ をセットできるようになっている。

【0030】

また、乗算器 28(1)～28($M+1$)に入力されるフィルタ係数 $h_0 \sim h_M$ は、後述の特性係数設定手段 30 によって設定される。

【0031】

このように構成された FIR 型のデジタルフィルタ 26 は、入力される雑音信号 $n(k)$ をフィルタ係数 $h_0 \sim h_M$ に応じた周波数特性の雑音信号に変換し

て出力する。

【0032】

特性係数設定手段30は、フィルタ部25から出力される雑音信号 $u(k)$ の特性を決定するための特性係数（上記のようにフィルタ部25がデジタルフィルタ26のみで構成されている場合にはそのフィルタ係数）を設定するためのものであり、図示しない操作部等の操作によって任意の特性係数を設定できるようになっている。

【0033】

初期設定手段31は、メモリ（ROM）31aを有し、フィルタ部25から特性係数に対応した周波数特性の雑音信号が出力されている状態におけるデジタルフィルタ内の各記憶素子の記憶内容と同等の雑音信号列を、メモリ31aの内容に基づいて求めて、少なくとも装置の動作初期時にデジタルフィルタ内の各記憶素子に初期設定する。

【0034】

即ち、前記のようにフィルタ部25がデジタルフィルタ26のみによって構成されているような場合には、デジタルフィルタ26からフィルタ係数 $h_0 \sim h_M$ に対応した周波数特性の雑音信号が出力されている状態における各記憶素子27(1)～27(M)の記憶内容と同等の雑音信号列を初期設定する。

【0035】

ここで、白色雑音発生手段21が動作初期時に発生する雑音信号 $n(1)$ を既知とすれば、その雑音信号 $n(1)$ より前のM個の雑音信号 $n(2^N-1)$ 、 $n(2^N-2)$ 、…、 $n(2^N-M)$ をそれぞれ初期値 $D(1) \sim D(M)$ としてメモリ31aに予め記憶しておき、電源投入等の動作初期時に、図4に示すように、デジタルフィルタ26の各記憶素子27(1)～27(M)にそれぞれ初期設定してから、白色雑音発生手段21へ雑音信号の出力を指示する。

【0036】

このため、動作初期時に、フィルタ部25の内部の状態は直ちに定常状態と同一の状態に設定されるため、フィルタ部25からは、特性係数設定手段30から設定されたフィルタ係数 $h_0 \sim h_M$ に応じた周波数特性の雑音信号が直ちに出力

される。

【0037】

フィルタ部 25 から出力される雑音信号 $u(k)$ は、乗算器 32 に入力される。乗算器 32 は振幅設定手段 33 によって設定された振幅係数 A を雑音信号 $u(k)$ に乗算し、その乗算結果を所望特性の雑音信号 $y(k)$ として出力する。

【0038】

また、特性算出手段 34 は、フィルタ部 25 に設定された特性係数および乗算器 32 に設定された振幅係数 A とに基づいて、乗算器 32 から出力される雑音信号 $y(k)$ の周波数特性や振幅等を求める。

【0039】

特性表示手段 35 は、表示器 36 に特性算出手段 34 によって求められた雑音信号の特性をグラフや数値で表示する。

【0040】

このように構成された雑音発生装置 20 では、初期設定手段 31 によってフィルタ部 25 から特性係数に対応した周波数特性の雑音信号が出力されている状態におけるデジタルフィルタ 26 内の各記憶素子 27 (1) ~ 27 (M) の記憶内容と同等の雑音信号を、少なくとも装置の動作初期時に各記憶素子 27 (1) ~ 27 (M) に初期設定している。

【0041】

このため、白色雑音発生手段 21 から M 個の雑音信号がフィルタ部 25 に取り込まれるまで待たなくても、直ちに特性係数に対応した周波数特性の雑音信号をフィルタ部 25 から出力させることができ、この特性に合わない雑音信号の出力による測定等の影響をなくすることができる。

【0042】

また、特性算出手段 34 によって、特性係数設定手段 30 からフィルタ部 25 に設定された特性係数および振幅設定手段 33 の振幅係数 A に基づいて、出力される雑音信号 $y(k)$ の特性を求め、その特性を特性表示手段 35 によって表示しているので、出力する雑音信号 $y(k)$ の特性を事前に且つ速やかに確認することができて便利である。

【0043】

前記説明では、フィルタ部25がデジタルフィルタ26のみで構成されている場合について説明したが、これは本発明を限定するものではない。

【0044】

例えば、フィルタ部25を図5に示すように、分波回路41と、重み付け回路43と、デジタルフィルタを含む合成回路45とで構成することも可能である

【0045】

分波回路41は、複数次Pの1/2デシメート回路42(1)～42(P)がカスケード接続されて構成されている。

【0046】

各1/2デシメート回路42(1)～42(P)は、入力データされるデータを2つの出力経路に交互に振り分けて、入力レートの1/2のレートで出力する回路である。

【0047】

初段の1/2デシメート回路42(P)は、図6の(a)の雑音信号n(1)、n(2)、n(3)、…が入力されると、その一方の出力端子から、図6の(b)のように、奇数番目の雑音信号n(1)、n(3)、n(5)、…を出力し、他方の出力端子から偶数番目の雑音信号n(2)、n(4)、n(6)、…を出力する。この他方の出力端子から出力される雑音信号は、2段目の1/2デシメート回路42(P-1)に入力される。

【0048】

2段目の1/2デシメート回路42(P-1)も同様に、入力された雑音信号n(2)、n(4)、n(6)、…のうち、一方の出力端子から図6の(c)のように、雑音信号n(2)、n(6)、n(10)、…を出力し、他方の出力端子から雑音信号n(4)、n(8)、n(12)、…を出力する。この他方の出力端子から出力された雑音信号は、3段目の1/2デシメート回路42(P-2)に入力される。

【0049】

同様に、3 段目の $1/2$ デシメート回路 4 2 (P-2) の一方の出力端子からは、図 6 の (d) のように、雑音信号 $n(4)$ 、 $n(12)$ 、 $n(20)$ 、…が出力され、他方の出力端子からは雑音信号 $n(8)$ 、 $n(16)$ 、 $n(24)$ 、…が出力され、4 段目の $1/2$ デシメート回路 4 2 (P-3) の一方の出力端子からは、図 6 の (e) のように、雑音信号 $n(8)$ 、 $n(24)$ 、 $n(40)$ 、…が出力され、他方の出力端子からは雑音信号 $n(16)$ 、 $n(32)$ 、 $n(56)$ 、…が出力され、さらに各 $1/2$ デシメート回路 4 2 (P-4) ~ 4 2 (1) からは、出力レートが $1/2$ ずつ低くなるように雑音信号が出力される。

【0050】

このように、各 $1/2$ デシメート回路 4 2 (1) ~ 4 2 (P) の一方の出力端子から異なるレートで出力される雑音信号 n_1 、 n_2 、 n_3 、…、 n_{P+1} は、重み付け回路 4 3 の乗算器 4 4 (1) ~ 4 4 (P+1) にそれぞれ入力される。

【0051】

乗算器 4 4 (1) ~ 4 4 (P+1) は、入力される雑音信号 n_1 、 n_2 、 n_3 、…、 n_{P+1} に対して、それぞれ重み付け係数 (特性係数) σ_1 、 σ_2 、 σ_3 、…、 σ_{P+1} を乗算して出力する。

【0052】

このように各レートの雑音信号 n_1 、 n_2 、 n_3 、…、 n_{P+1} に対して重み付けを行うことで、このフィルタ部 2 5 から出力される雑音信号 $u(k)$ の周波数特性を任意に設定することができる。

【0053】

例えば、図 7 に示すような重み付け (この図では P が 12) を行うことで、ワンドの評価に用いる特定の TDEV マスク特性に対応した電力スペクトル密度分布の位相揺らぎをもつクロック信号を生成することができる。この際、電力スペクトル密度分布は、 σ の 2 乗値の分布に従う。

【0054】

重み付けされた各レートの雑音信号 n_1' 、 n_2' 、 n_3' 、…、 n_{P+1}' は、合成回路 4 5 のサブバンド合成器 4 6 (1) ~ 4 6 (P) にそれぞれ入力される。

【0055】

各サブバンド合成器46(1)～46(P)は、前記したFIR型で遮断周波数が共通のLPF(ローパスフィルタ)とHPF(ハイパスフィルタ)とを内部に備えており、入力される2つのデジタル信号に対してインターポーレーション処理を行い、その一方(周波数が高い方)の入力に対してHPFで低域を遮断し、他方(周波数が低い方)の入力に対してはLPFで高域を遮断して、両フィルタの出力を合成して出力するように構成されている。

【0056】

サブバンド合成器46(1)～46(P)の内部のフィルタの遮断周波数は、最も周波数が低いサブバンド合成器46(1)の遮断周波数を f_a とすると、 $2f_a$ 、 $4f_a$ 、 $8f_a$ 、…、 $2^{P-1}f_a$ の順に、入力する雑音信号のレートに対応して2倍ずつ高くなるように設定されており、レートの低い雑音信号から順に合成するように接続されている。

【0057】

即ち、図8に示すように、最もレートの2つの低い雑音信号 n_1' 、 n_2' はサブバンド合成器46(1)において遮断周波数 f_a で合成され、その合成出力と雑音信号 n_3' とがサブバンド合成器46(2)において遮断周波数 $2f_a$ で合成され、その合成出力と雑音信号 n_4' とがサブバンド合成器46(3)において遮断周波数 $4f_a$ で合成される。

【0058】

以下同様にレートに低い雑音信号から順に合成されるため、サブバンド合成器46(P)からは、図8に示しているように、オクターブ幅の各帯域のレベルが重み付け係数に応じて変化する周波数特性の雑音信号 $u(k)$ が出力されることになる。

【0059】

このように分波回路41、重み付け回路43および合成回路45によって構成されたフィルタ部25の場合、合成回路45の各サブバンド合成器46のフィルタの遮断周波数は固定であるのでフィルタ係数を可変制御する必要はなく、フィルタの特性を決定する重み付け係数 σ_1 、 σ_2 、 σ_3 、…、 σ_{P+1} を特性係数

設定手段 30 から設定する。

【0060】

また、合成回路 46 のフィルタ（デジタルフィルタ）内部の記憶素子に対して、初期設定手段 31 は、フィルタ部 25 から特性係数（この場合重み付け係数）に対応した周波数特性の雑音信号が出力されている状態における各記憶素子の記憶内容と同一特性の雑音信号列を、装置の動作初期時および重み付け係数変更時に初期設定する。

【0061】

ただし、この場合には、前記のように白色雑音発生手段 21 から出力される信号列を単純に代入できないので、白色雑音信号と特性係数設定手段 30 からの重み付け係数等の情報に基づいて、各フィルタの記憶素子に設定すべき初期値を算出して設定する。

【0062】

即ち、前記したように、白色雑音発生手段 21 が動作初期時に発生する雑音信号 $n(1)$ を既知とすれば、定常状態で白色雑音発生手段 21 が雑音信号 $n(1)$ を発生するときに、分波回路 41 から出力されている各雑音信号 $n_1 \sim n_{P+1}$ も既知であり、また、合成回路 45 の各サブバンド合成器 46 のフィルタの特性（伝達関数）も既知である。

【0063】

また、合成回路 45 の各サブバンド合成器 46 (1) ~ 46 (P) の内部の LPF と HPF の記憶素子を前記同様にともに M 段とすると、最終段のサブバンド合成器 46 (P) のフィルタの各記憶素子に正規の M 個の雑音信号が入力されるのは、初段のサブバンド合成器 46 (1) に $2^P \cdot M$ 個の雑音信号が入力されたときであり、このときの i 番目 (i は 1 ~ P のいずれか) のサブバンド合成器 46 (i) の LPF の m 段目 (m は 1 ~ M のいずれか) 記憶素子の記憶値 $L_i(m)$ と HPF の m 段目の記憶素子の記憶値 $H_i(m)$ は、

$$L_i(m) = \sum_{j=1}^{i+1} \sigma_j \cdot x_j(m)$$

$$H_i(m) = \sum_{j=1}^{i+1} \sigma_j \cdot y_j(m)$$

と表される。

【 0 0 6 4 】

ここで、 $x_j(m)$ 、 $y_j(m)$ は、LPFとHPFの伝達関数と白色雑音発生手段 2 1 から出力される雑音信号から求まる定数列（重み付け係数を 1 としたときの定数列）であり、前記したように、LPFとHPFの伝達関数と白色雑音発生手段 2 1 から出力される雑音信号は既知である。

【 0 0 6 5 】

したがって、定数列 $x_j(m)$ 、 $y_j(m)$ を予め求めてメモリ 3 1 a に記憶しておき、動作初期時や重み付け係数の変更時に、上記演算によってフィルタの初期値を求めて合成回路 4 5 の各サブバンド合成器 4 6 (1) ~ 4 6 (P) に設定すれば、直ちに所望の特性の雑音信号 $u(k)$ を出力することができる。

【 0 0 6 6 】

上記の積和演算の総演算回数は、 $M[(P+1)^2 + (P+1) - 2]$ となり、 $M=24$ 、 $P+1=20$ の場合 1 0 0 3 2 回となり、この積和演算は短時間に終了することができる。

【 0 0 6 7 】

初期設定手段 3 1 は、この演算によって得られた初期値 $L_1(1) \sim L_1(M)$ 、 $L_2(1) \sim L_2(M)$ 、 \dots 、 $L_P(1) \sim L_P(M)$ 、 $H_1(1) \sim H_1(M)$ 、 $H_2(1) \sim H_2(M)$ 、 \dots 、 $H_P(1) \sim H_P(M)$ を、合成回路 4 5 の各サブバンド合成器 4 6 (1) ~ 4 6 (P) の内部の LPF と HPF の記憶素子に設定してから、白色雑音発生手段 2 1 に雑音信号出力を指示する。

【 0 0 6 8 】

なお、この初期設定を実際に白色雑音発生手段 2 1 からの雑音信号の入力で行うとすれば、前記のように $2^P \cdot M$ 個の雑音信号を入力する必要があり、その入力レートを 5 0 H z とすると約 7 0 時間もかかってしまう。また、仮に初期設定中のみ入力レートを上げたとしても、合成回路 4 5 が $2^P \cdot M$ 個の雑音信号を計算するのに必要な総積和演算回数が $2M^2(2^P - 1)$ であるため、前述と同様に $M=24$ 、 $P+1=20$ とした場合には、6 0 2 0 5 倍の積和演算を必要とし、長時間を要する。

【 0 0 6 9 】

このように、動作初期時や特性係数変更時にフィルタ部 25 のデジタルフィルタの各記憶素子に初期設定をすることにより、フィルタ部 25 の内部の状態は直ちに定常状態と同一の状態に設定されるため、フィルタ部 25 からは、特性係数設定手段 30 から設定された特性係数（この場合重み付け係数）に応じた周波数特性の雑音信号を速やかに出力させることができる。

【0070】

上記雑音発生装置 21 は単独で用いたり、位相揺らぎのあるクロック信号を発生する信号発生装置等の変調信号発生部として用いることができる。

【0071】

図 9 は、上記雑音発生装置とほぼ同一構成を用いて位相揺らぎ（ジッタまたはワンダー）のあるクロック信号を発生するジッタ・ワンダ発生装置 50 の構成を示している。

【0072】

この図において、白色雑音発生手段 21、フィルタ部 25、特性係数設定手段 30、初期設定手段 31、乗算器 32 および振幅設定手段 33 は、前記雑音発生装置 20 のものと同一構成なので、同一符号を付している。

【0073】

このジッタ・ワンダ発生装置 50 は、乗算器 32 の出力 $y(k)$ を周波数シンセサイザ 51 に入力している。

【0074】

周波数シンセサイザ 51 は、例えば DDS（ダイレクトデジタルシンセサイザ）や PLL 発振器等で構成されており、所定の中心周波数を持ち、乗算器 32 の出力 $y(k)$ に応じて位相が変調されたクロック信号 CK を出力する。

【0075】

一方、特性算出手段 34' は、特性係数設定手段 30 からの特性係数、振幅設定手段 33 の振幅係数 A および図示しない操作部等から設定されたパラメータに基づいて、雑音信号 $y(k)$ あるいはクロック信号 CK の特性を求める。

【0076】

例えば 10 Hz 以下の位相揺らぎであるワンダーの評価量として、 TIE_{rm}

$s(\tau)$ (Root Mean Square Time Interval Error)、 $ADEV(\tau)$ (Allan Deviation)、 $MADEV(n\tau_0)$ (Modified Allan Deviation)、 $TDEV(n\tau_0)$ (Time Deviation) 等があるが、これらを実際にクロック信号CKに対して測定して得ようとすれば、前記したように非常に長い時間(数時間以上)かかってしまう。

【0077】

そこで、このジッタ・ワンダ発生装置50では、特性算出手段34'において上記特性を以下の演算を行って選択的に求めている。

【0078】

$$TIE_{rms}(\tau) = [8 \int S_x(f) \sin^2(\pi f \tau) df]^{1/2}$$

【0079】

$$ADEV(\tau) = [(16/\tau^2) \int S_x(f) \sin^4(\pi f \tau) df]^{1/2}$$

【0080】

$$MADEV(n\tau_0) = \{ [16/(n^2\tau_0)^2] \int [\sin^6(\pi f \tau_0) / \sin^2(\pi f \tau_0)] \cdot S_x(f) df \}^{1/2} \quad (n=0, 1, 2, \dots, N)$$

【0081】

$$TDEV(n\tau_0) = \{ (16/3n^2) \int [\sin^6(\pi f \tau_0) / \sin^2(\pi f \tau_0)] S_x(f) df \}^{1/2} \quad (n=0, 1, 2, \dots, N)$$

【0082】

ここで、

$$S_x(f) = f_c [(\sigma_a \cdot u \cdot A) \sin(\pi f / f_s) / 2\pi f \sin(\pi f / f_c)]^2 \cdot |H(e^{j\pi f / f_s})|^2$$

【0083】

また、記号 \int は $f = 0 \sim f = f_h$ までの積分をとるものとし、パラメータ f_h は雑音最大周波数、 τ は測定時間、 τ_0 は測定サンプリング時間、 σ_a は白色雑音の標準偏差、 f_s は白色雑音発生手段 2 1 のサンプリング周波数、 u は周波数シンセサイザ 5 1 を DDS で構成した場合の DDS の量子化ステップ、 f_c は同 D/A コンバータのクロック周波数である。

【0084】

A は振幅設定手段 3 3 からの振幅係数、 $|H(e^{j\pi f/f_s})|$ は、特性係数設定手段 3 1 から設定された特性係数に基づいて算出される周波数特性、 $S_x(f)$ は特性係数設定手段 3 1 から設定された特性係数に基づいて算出される時間誤差のパワースペクトルである。

【0085】

このような演算によって得られた特性は、特性表示手段 3 5 によって表示器 3 6 に数値あるいはグラフで表示されるが、上記演算は、実際のクロック信号を測定せずに、特性係数、振幅係数および前記パラメータに基づいて算出しているので、短時間に求めることができ、信号を出力させるときに事前に雑音特性やその位相揺らぎ特性等を確認することができる。

【0086】

なお、前記実施形態では、フィルタ部 2 5 に含まれるディジタルフィルタが FIR 型の場合について説明したが、これは本発明を限定するものでなく、入力データを内部の複数の記憶素子にシフトしながら記憶して演算を行う構造のディジタルフィルタであればよく、例えば IIR 型の場合でも同様に適用することができる。

【0087】

【発明の効果】

以上説明したように、本発明の請求項 1 の雑音発生装置は、ディジタルの白色性の雑音信号を発生する白色雑音発生手段と、ディジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、その複数の記憶素子の記憶内容についての積和演算を行うディジタルフィルタを有し、白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出

力するフィルタ部と、フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、フィルタ部から特性係数に対応した周波数特性の雑音信号が出力されている状態におけるディジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時にディジタルフィルタの各記憶素子に初期設定する初期設定手段とを備えている。

【 0 0 8 8 】

このため、動作初期時等に、フィルタ部の内部状態は直ちに定常状態と同一の状態に設定されるため、特性係数設定手段から設定された特性係数に応じた周波数特性の雑音信号を速やかに出力させることができる。

【 0 0 8 9 】

また、本発明の請求項 2 の雑音発生装置は、ディジタルの白色性の雑音信号を発生する白色雑音発生手段と、ディジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、その複数の記憶素子の記憶内容についての積和演算を行うディジタルフィルタを有し、白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器と、乗算器に任意の振幅係数を設定する振幅設定手段と、特性係数設定手段からフィルタ部に設定された特性係数および振幅設定手段の振幅係数とに基づいて、乗算器から出力される雑音信号の特性を求める特性算出手段と、特性算出手段によって求められた雑音信号の特性を表示する特性表示手段とを備えている。

【 0 0 9 0 】

このため、出力される雑音を測定することなく、事前にその雑音特性が分かり、便利である。

【 0 0 9 1 】

また、本発明の請求項 3 のジッタ・ワンダ発生装置は、ディジタルの白色性の雑音信号を発生する白色雑音発生手段と、ディジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、その複数の記憶素子の記憶内容についての積和演算を行うディジタルフィルタを有し、白色雑音発生手段から出力された雑音信

号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器と、乗算器に任意の振幅係数を設定する振幅設定手段と、乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザと、フィルタ部から特性係数に対応した周波数特性の雑音信号が出力されている状態におけるデジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時にデジタルフィルタの各記憶素子に初期設定する初期設定手段とを備えている。

【0092】

このため、動作初期時等に、フィルタ部の内部状態は直ちに定常状態と同一の状態に設定されるため、特性係数設定手段から設定された特性係数に応じた周波数特性の雑音信号で位相変調されたクロック信号を速やかに出力させることができる。

【0093】

また、本発明の請求項4のジッタ・ワンド発生装置は、デジタルの白色性の雑音信号を発生する白色雑音発生手段と、デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、その複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器と、乗算器に任意の振幅係数を設定する振幅設定手段と、乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザと、特性係数設定手段から設定された特性係数および振幅設定手段から設定された振幅係数に基づいて、乗算器から出力される雑音信号または周波数シンセサイザから出力されるクロック信号の特性を求める特性算出手段と、特性算出手段によって求められた特性を表示する特性表示手段とを備えている。

【0094】

このため、出力される雑音やクロック信号を測定することなく、事前にその特性が分かり便利である。

【図面の簡単な説明】

【図 1】

本発明の実施形態の雑音発生装置の構成を示すブロック図

【図 2】

実施形態の要部の構成を示すブロック図

【図 3】

実施形態の要部の構成を示すブロック図

【図 4】

実施形態の動作を説明するためのブロック図

【図 5】

実施形態の要部の変形例を示すブロック図

【図 6】

図 5 の変形例の動作を説明するためのタイミング図

【図 7】

図 5 の変形例の動作を説明するための図

【図 8】

図 5 の変形例の動作を説明するための図

【図 9】

本発明の実施形態のジッタ・ワンダ発生装置の構成を示すブロック図

【図 1 0】

ディジタル方式の雑音発生装置の概略構成を示すブロック図

【符号の説明】

- 2 0 雑音発生装置
- 2 1 白色雑音発生手段
- 2 2 (1) ~ 2 1 (N) 擬似ランダム信号発生器
- 2 3 制御回路
- 2 5 フィルタ部

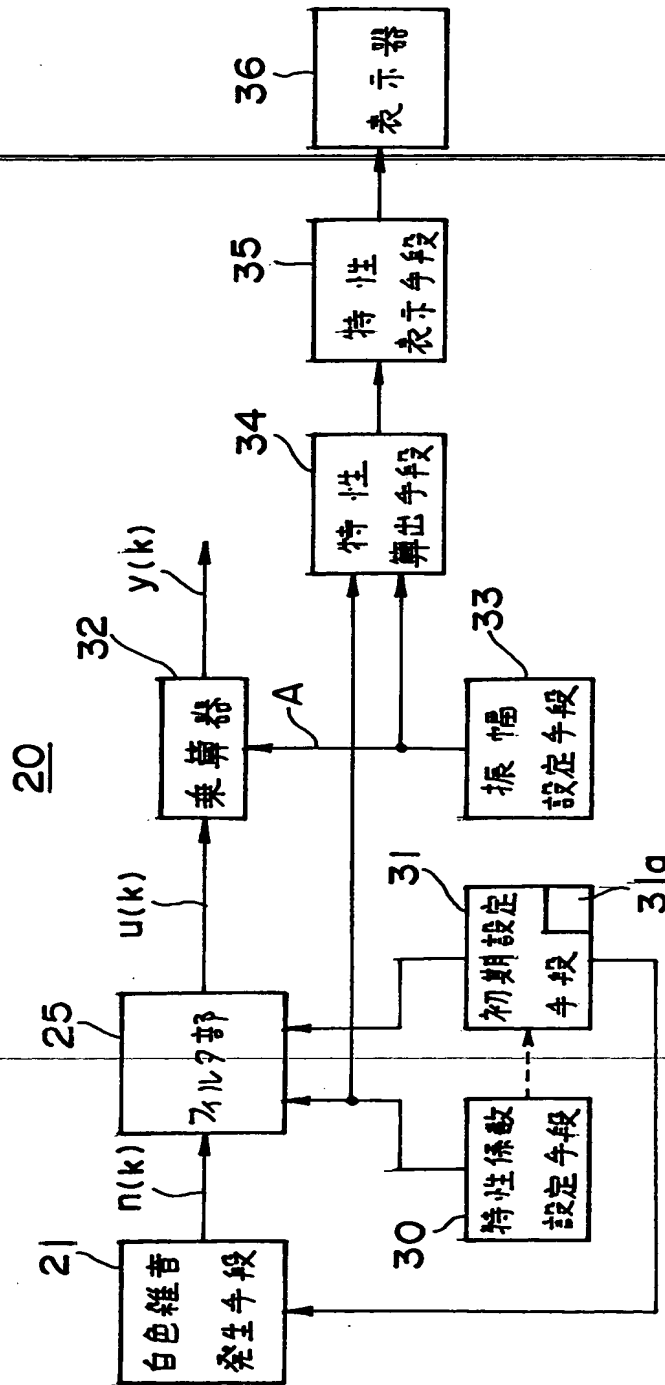
- 2 6 デジタルフィルタ
 - 2 7 (1) ~ 2 7 (M) 記憶素子
 - 2 8 (1) ~ 2 8 (M + 1) 乗算器
 - 2 9 加算器
 - 3 0 特性係数設定手段
 - 3 1 初期設定手段

 - 3 2 乗算器
 - 3 3 振幅設定手段
 - 3 4、3 4' 特性算出手段
 - 3 5 特性表示手段
 - 3 6 表示器
 - 4 1 分波回路
 - 4 2 (1) ~ 4 2 (P) 1 / 2 デシメート回路
 - 4 3 重み付け回路
 - 4 4 (1) ~ 4 4 (P + 1) 乗算器
 - 4 5 合成回路
 - 4 6 (1) ~ 4 6 (P) サブバンド合成器
 - 5 0 ジッタ・ワンダ発生装置
 - 5 1 周波数シンセサイザ
-

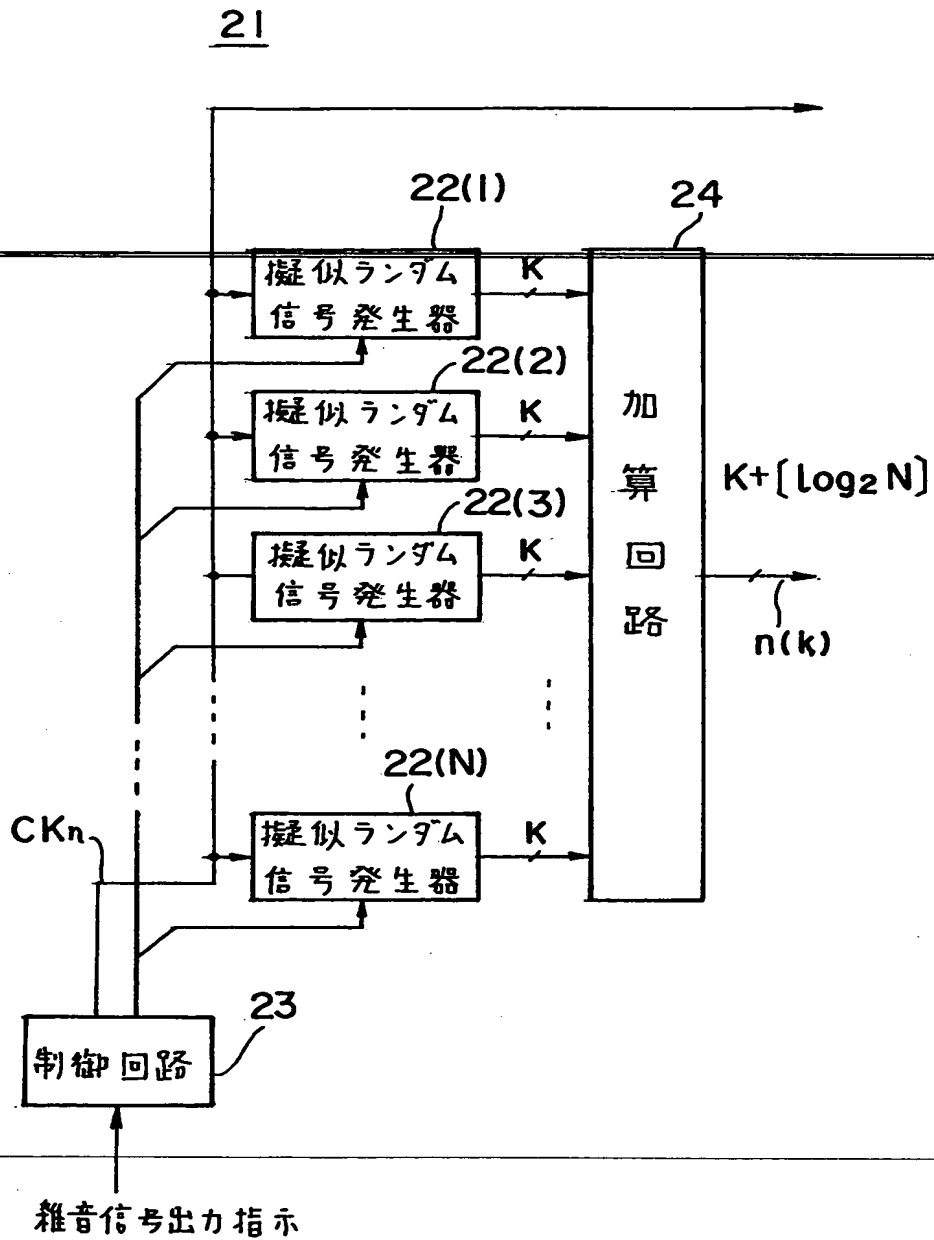
【書類名】

図面

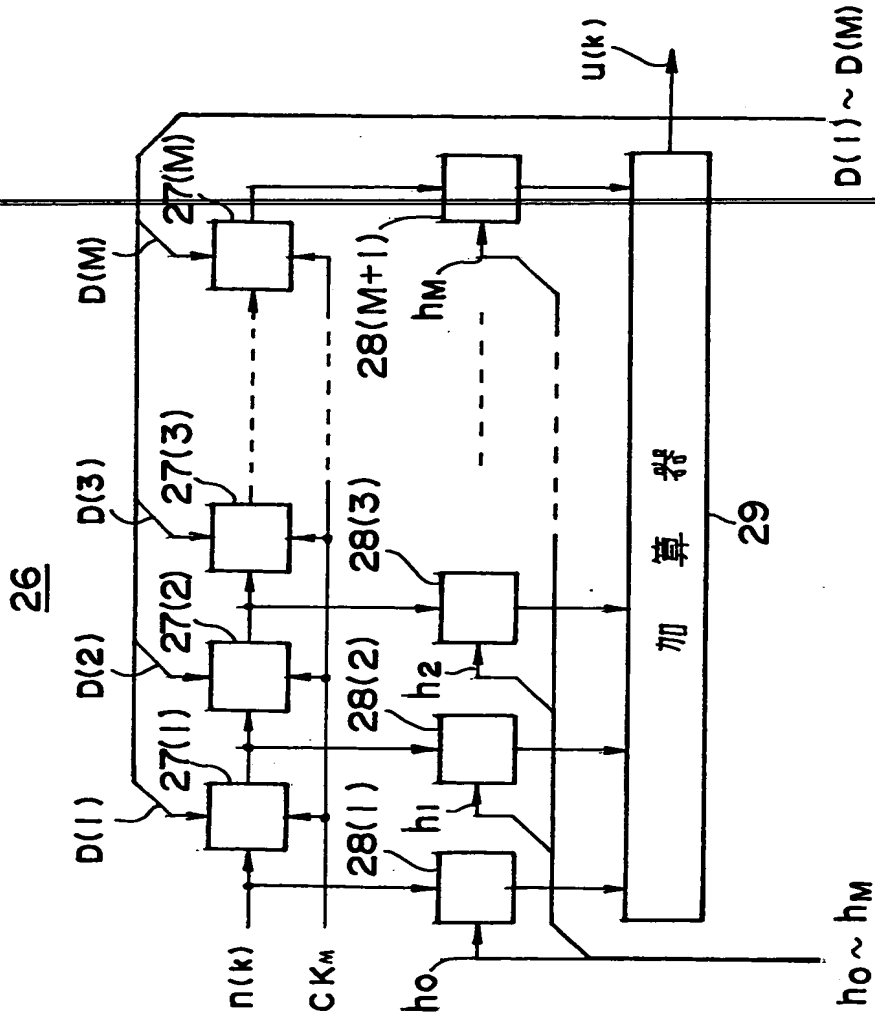
【図 1】



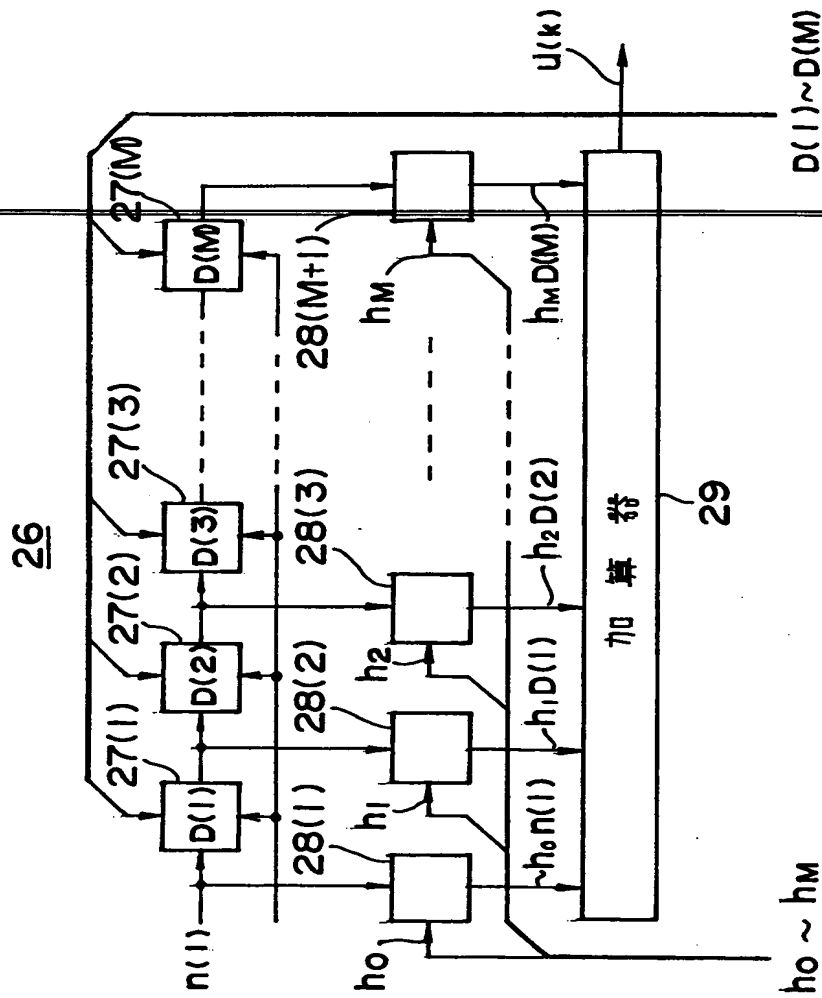
【図 2】



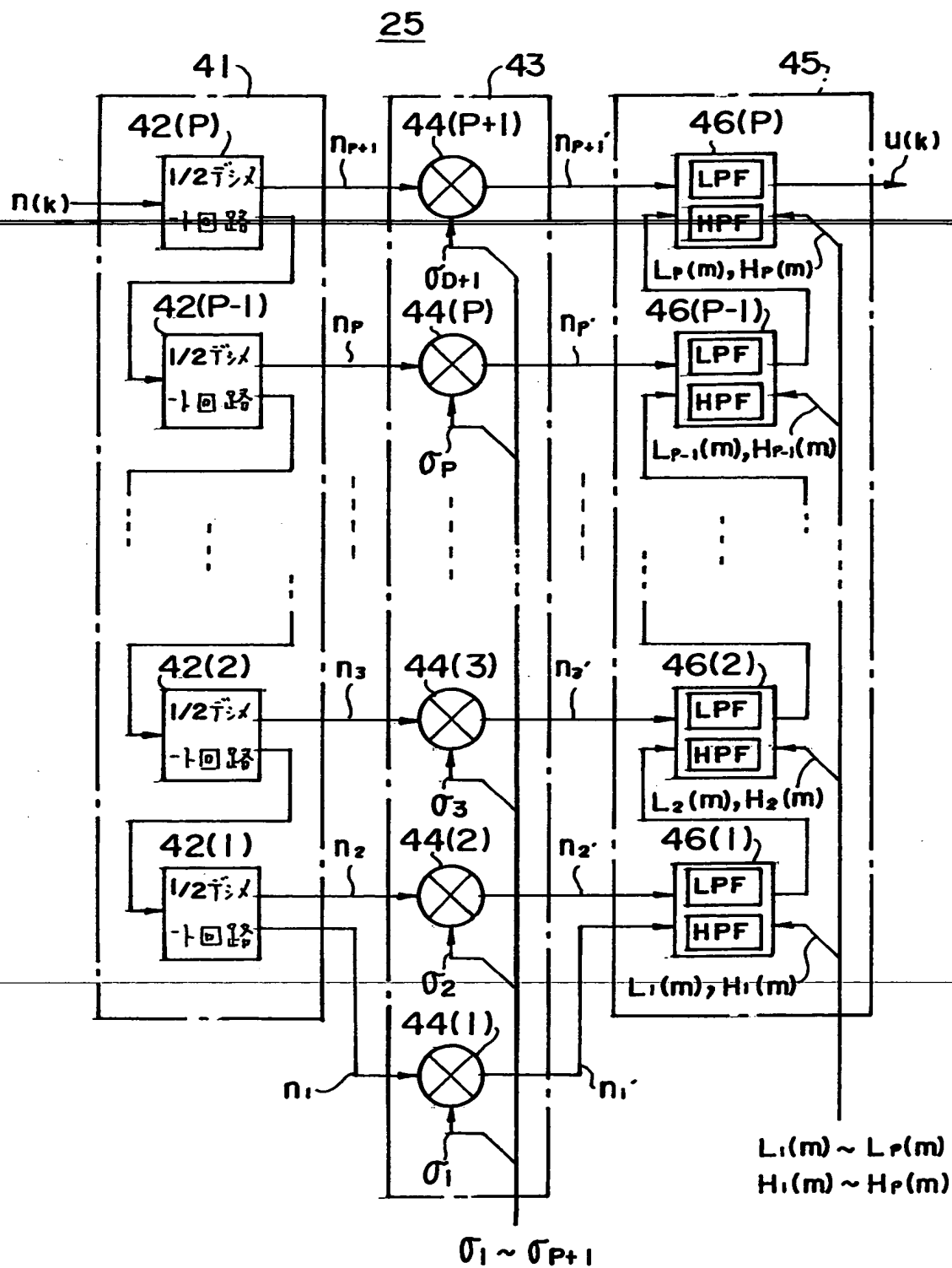
【図 3】



【図 4】



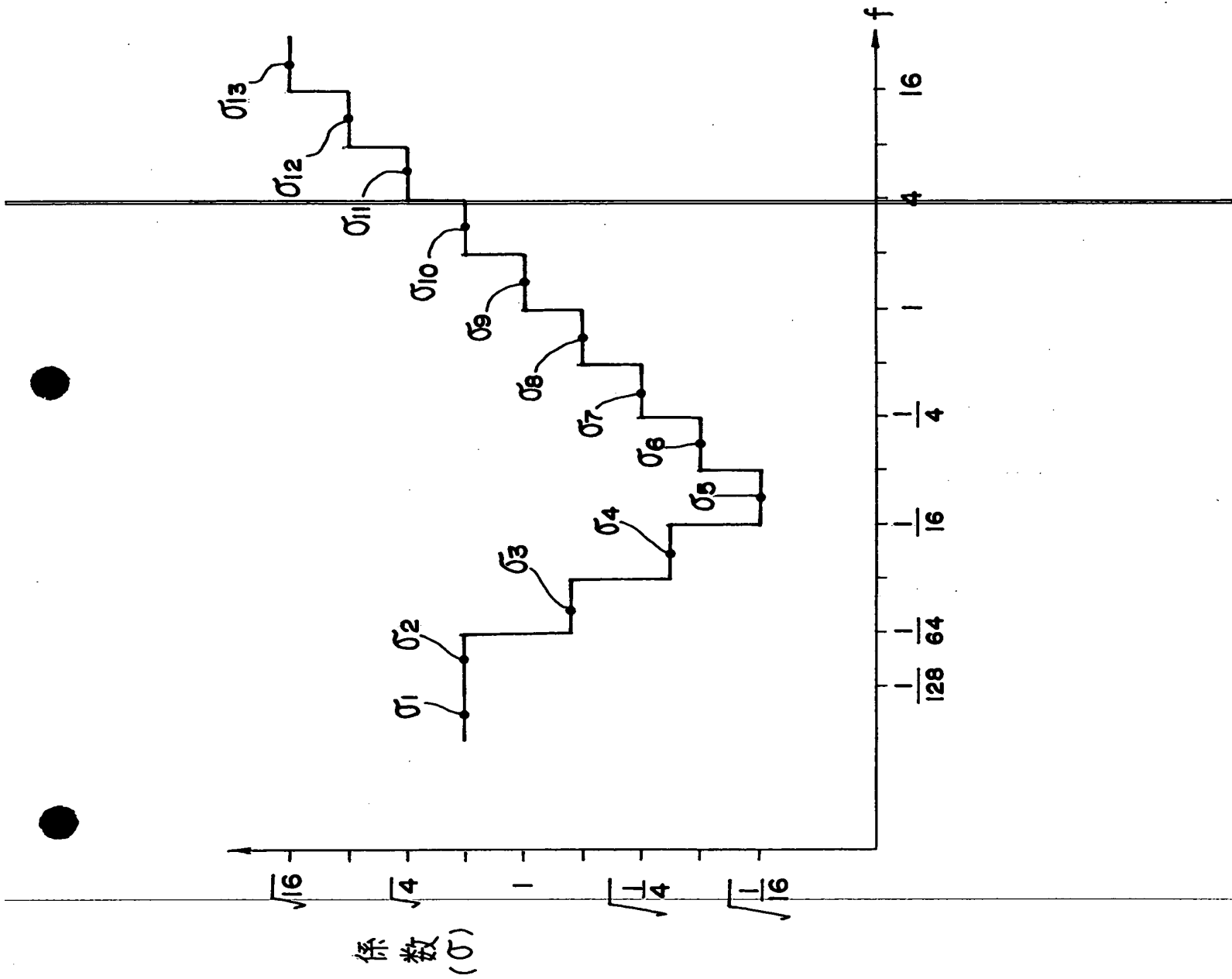
【図 5】



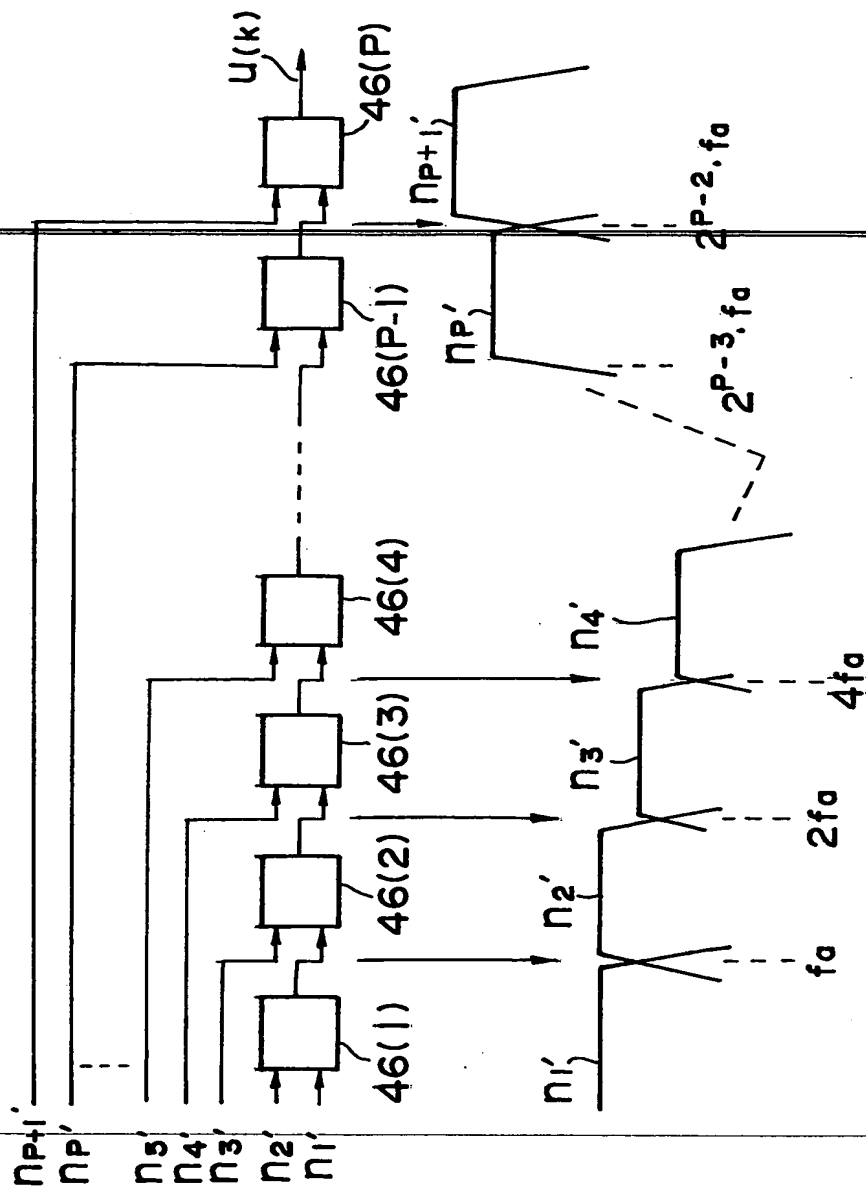
【図 6】

(a)	$n(k)$																	
	$n(1)$	$n(2)$	$n(3)$	$n(4)$	$n(5)$	$n(6)$	$n(7)$	$n(8)$	$n(9)$	$n(10)$	$n(11)$	$n(12)$	$n(13)$	$n(14)$	$n(15)$	$n(16)$	$n(17)$	$n(18)$
(b)	n_{P+1}																	
	$n(1)$	$n(3)$	$n(5)$	$n(7)$	$n(9)$	$n(11)$	$n(13)$	$n(15)$	$n(17)$									
(c)	n_P																	
	$n(2)$	$n(6)$	$n(10)$	$n(14)$	$n(18)$													
(d)	n_{P-1}																	
	$n(4)$	$n(12)$																
(e)	n_{P-2}																	
	$n(8)$																	
(f)	n_{P-3}																	
	$n(16)$																	

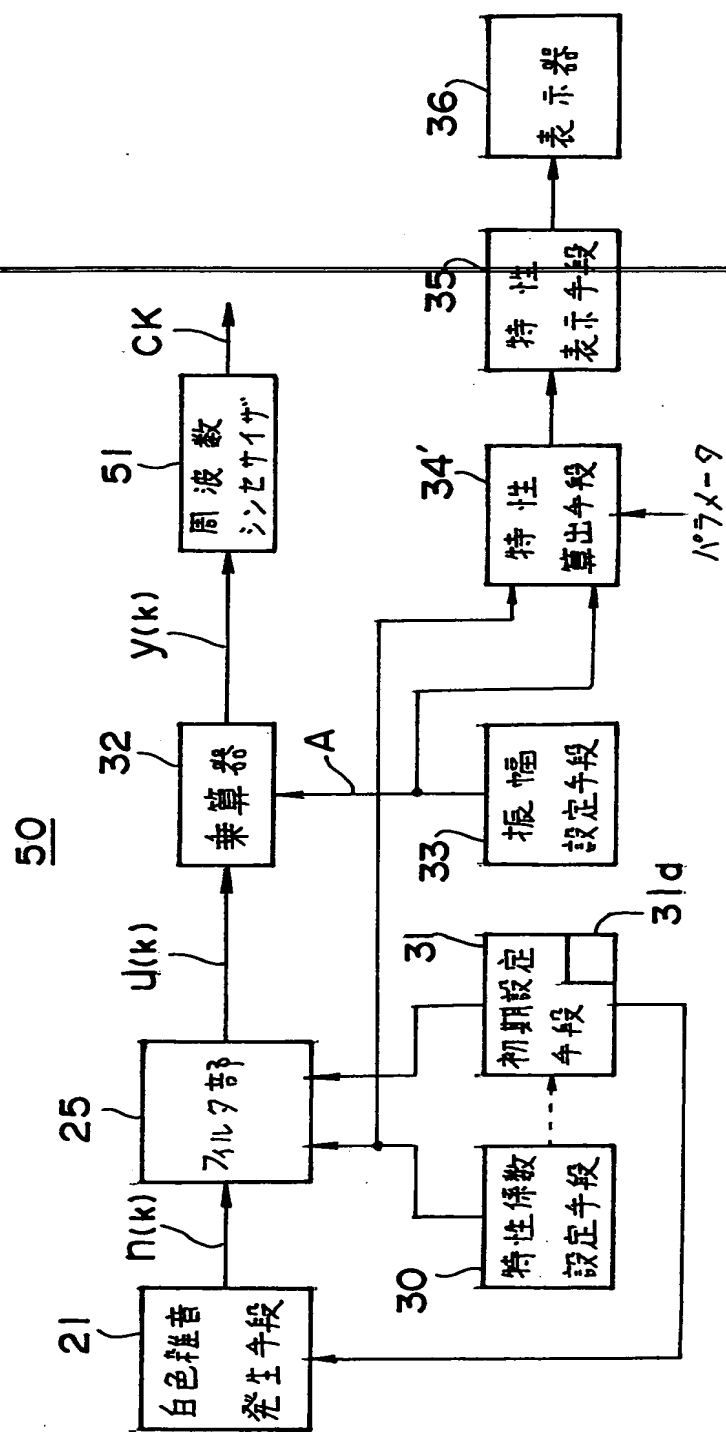
【図7】



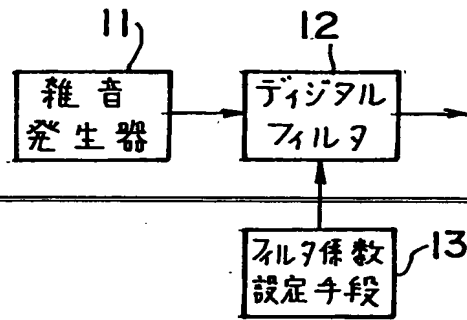
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 動作初期時等に所望特性の雑音信号を速やかに出力させる。

【解決手段】 デジタルの白色性の雑音信号を発生する白色雑音発生手段 2 1 と、デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、その複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、白色雑音発生手段 2 1 から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部 2 5 と、フィルタ部 2 5 に対して任意の特性係数を設定する特性係数設定手段 3 0 と、フィルタ部 2 5 から特性係数に対応した周波数特性の雑音信号が出力されている状態におけるデジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時にデジタルフィルタの各記憶素子に初期設定する初期設定手段 3 1 とを備えている。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成11年 特許願 第367209号
受付番号	59901262865
書類名	特許願
担当官	第三担当上席 0092
作成日	平成12年 1月 4日

<認定情報・付加情報>

【提出日】

平成11年12月24日

次頁無

出 願 人 履 歴 情 報

識別番号

[000000572]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区南麻布5丁目10番27号
氏 名	アンリツ株式会社